

(2)Japanese Patent Application Laid-Open No.10-247206 (1998)

“Method of Designing Semiconductor Integrated Circuit, and Design Device thereof”

The following is an extract relevant to the present application.

5

The present invention relates to a technique for designing a semiconductor integrated circuit device, and more particularly, it relates to a technique which is efficient when applied to a design of a highly integrated semiconductor integrated circuit device of which manufacturing condition is difficult.

10

A window frame is applied to a layout pattern consisting of a plurality of pattern elements and is automatically generated based on a functional and logical designs, by executing an AND operation of a frame pattern wherein micro space is provided between adjacent patterns and the layout pattern, so that the pattern is divided (step 104).

15

Next, an OR operation of a grid pattern composed of micro line widths whose grid interval is no more than that of the pattern element and the divided layout pattern is executed so that the pattern elements will be defined as one graphic (step 105). Further, an AREA operation is executed, thereby the area of the layout pattern is obtained in one operation (step 106). If the area occupation rate does not meet the requirements, a dummy pattern is arranged (step 109) so that it is fed back to a step 102.

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 C

H 0 1 L 21/82

H 0 1 L 21/82

T

C

審査請求 未請求 請求項の数5 OL (全 11 頁)

(21)出願番号 特願平9-49105

(22)出願日 平成9年(1997)3月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 加藤 正隆

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 和田 真一郎

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 風間 秀士

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

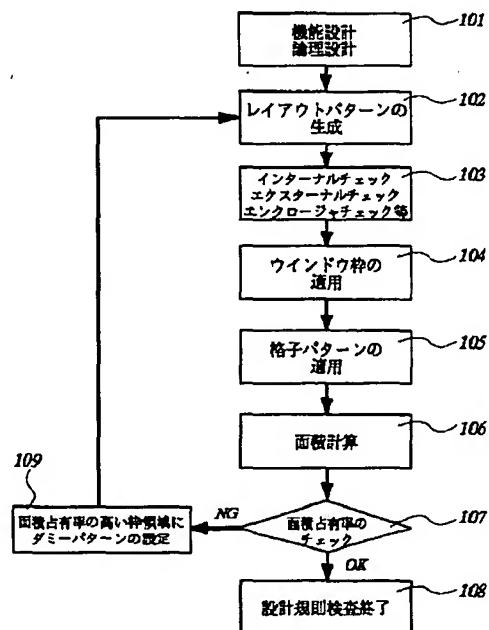
(54)【発明の名称】 半導体集積回路装置の設計方法および設計装置

(57)【要約】

【課題】 従来のデザインルールチェックの機能を用いて簡便にレイアウトパターンの面積占有率を計算する。

【解決手段】 機能設計および論理設計を基に自動生成され、複数のパターン要素からなるレイアウトパターンに、隣接パターン間に微小スペースを設けた枠パターンとレイアウトパターンとのAND演算によりウィンドウ枠を適用してパターンを分割する(ステップ104)。次に、微小線幅で構成され、格子間隔がパターン要素の幅以下の格子パターンと分割されたレイアウトパターンとのOR演算によりパターン要素を一図形化し(ステップ105)、さらにAREA演算によりレイアウトパターンの面積を一度で求め(ステップ106)、面積占有率が条件に適合しない場合にはダミーパターンを配置し(ステップ109)、ステップ102にフィードバックする。

図 1



## 【特許請求の範囲】

【請求項1】 複数のパターン要素からなり、集積回路を構成する部材の加工に用いるマスクのパターンを生成するマスクパターン生成工程と、前記マスクパターンが、設計規則を満足するかどうかをコンピュータを用いて検査する設計規則検査工程とを有する半導体集積回路装置の設計方法であって、

前記設計規則検査工程は、前記マスクパターンの特定の領域における前記複数のパターン要素の面積占有率を単一のジョブで計算する面積占有率計算の手順を備えたことを特徴とする半導体集積回路装置の設計方法。

【請求項2】 請求項1記載の半導体集積回路装置の設計方法であって、前記面積占有率計算の手順は、前記マスクパターンの全領域において単一または複数の枠領域に分割された枠パターンと前記マスクパターンとのAND演算を実行し、枠取りマスクパターンを生成する第1のステップと、

前記枠領域ごとに配置され、前記パターン要素の最小幅よりも小さなピッチを有する格子パターンまたはストライプパターンと前記枠取りマスクパターンとのOR演算を実行し、前記枠領域ごとに面積計算パターンを生成する第2のステップと、

前記面積計算パターンにAREA演算を実行し、前記枠領域ごとに前記パターン要素の占有面積を算出する第3のステップとを備えたことを特徴とする半導体装置の設計方法。

【請求項3】 請求項2記載の半導体集積回路装置の設計方法であって、

前記枠領域の間隔ならびに前記格子パターンおよびストライプパターンの幅は、最小レイアウト寸法であることを特徴とする半導体集積回路装置の設計方法。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の設計方法であって、

前記特定の領域または前記枠領域における前記面積占有率が、一定の面積占有率を超過する場合には、前記特定の領域または前記枠領域にダミーパターンを配置し、前記ダミーパターンを前記パターン要素に加えて新たにマスクパターンを生成し、再度前記面積占有率の計算を行うことを特徴とする半導体集積回路装置の設計方法。

【請求項5】 複数のパターン要素からなるマスクパターンが設計規則を満足するかどうかをコンピュータを用いて検証することができる半導体集積回路装置の設計装置であって、

前記マスクパターンのデータを記憶する第1記憶領域と、前記マスクパターンの全領域を分割する枠パターンのデータを記憶する第2記憶領域と、前記枠パターンに相当する領域内の前記パターン要素を結合して一図形とする格子パターンまたはストライプパターンを記憶する第3記憶領域と、前記第1、第2または第3記憶領域を含むデータ記憶領域から複数のデータを読み出し、前記

複数のデータ間に図形演算を施した後、前記データ記憶領域に演算結果を記憶することができる演算装置とを有し、

前記第1記憶領域に記憶された前記マスクパターンのデータと前記第2記憶領域に記憶された前記枠パターンのデータを用いてAND演算を実行し、枠取りマスクパターンを生成する第1の手順、前記枠取りマスクパターンのデータと前記第3記憶領域に記憶された前記格子パターンまたはストライプパターンのデータを用いてOR演算を実行し、前記枠パターンに相当する領域内において一図形化された面積計算パターンを生成する第2の手順、前記面積計算パターンのデータを用いてAREA演算を実行し、前記枠パターンに相当する領域内の前記パターン要素の面積を算出する第3の手順を有する面積計算手順を備えたことを特徴とする半導体集積回路装置の設計装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の設計技術に関し、特に、製造条件の厳しい高集積な半導体集積回路装置の設計に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置の設計は、たとえば昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p161～p220に詳細に説明されているように、一般に、半導体集積回路装置のシステム仕様に基づいてアーキテクチャを決定する機能設計工程、機能設計データに基づく論理設計工程、論理設計により得られた接続データとデバイス設計および回路設計により準備された論理セルライブラリとを用いて論理ゲートの配置、配線を行ない、LSIマスクのパターンを設計するレイアウト設計工程の順に進められる。このうち、レイアウト設計工程は、LSIの製造条件による制約条件（デザインルール）に従いつつチップ面積を最小にするよう要求され、LSIの性能の死命を制するともいわれる最も重要な設計工程である。

【0003】したがって、レイアウト設計後のマスクパターンが、論理機能および回路機能が満たされているかを検証する必要がある、不具合が生じた場合には、その検証結果をフィードバックし、論理設計工程あるいは回路設計工程に遡って再設計される。また、コンピュータによる自動レイアウトでは、細部について十分な最適化がされない場合があり、このような場合には人手によるレイアウトの変更・一部修正により完成度の高いマスクパターンにする必要があるが、人手による場合には誤りが入り込みやすく、そのような誤りを根絶するためにはレイアウト結果の検証手段が極めて重要な役割を有する。

【0004】このようなレイアウト結果の検証手段は、

上記文献p210～p217に記載されているようにアートワーク処理として知られている。アートワークデータは一般に、マスク層ごとに分類された閉じた図形の集合であるため、その検証には図形演算が用いられ、代表的な検査項目としては、デザインルールが満たされているか否かを検証する設計規則検査、論理設計において設計されたとおりの論理接続が実現されているか否かを検証する論理接続検査、回路設計されたとおりの電気特性を有するものであるか否かを検証する電気的特性検査がある。

【0005】なかでも設計規則検査は、コンピュータにより自動的に検証するプログラムが早くから実用化され、一般的に用いられている手法であり、実用的にも重要である。この設計規則検査は、LSIの製造条件から決定される幾何学的な設計規則（デザインルール）に違反した誤りを検出するものであり、図形自体の幅が規格値以上であるか否か（インターナルチェック）、2つの図形間の距離が規格値以上であるか否か（エクスターナルチェック）、ある図形が他の図形に規格値以上内側に含まれているか否か（エンクロージャチェック）等の処理が行われる。すなわち、主にフォトリソグラフィ工程において要求される最小加工寸法以上に各図形が配置されているか否かを検査することができる。

【0006】

【発明が解決しようとする課題】しかし、近年の製造工程技術の進展により、従来の設計規則検査では検出できない要求規則が生ずるようになってきた。たとえば、CMP（Chemical Mechanical Polishing）法を用いて素子分離領域あるいは配線等を形成する場合、活性領域を構成するシリコン基板と素子分離領域を構成するシリコン酸化膜との硬度、あるいは配線を構成するアルミニウム等の金属と層間絶縁膜を構成するシリコン酸化膜との硬度が相違し、素子分離領域あるいは配線の占有面積が一定値以上となる場合には、エッチングのばらつきあるいは平坦性等の問題を生じるようになってきた。そこで、設計規則検査においては従来のインターナルチェック等に加えてマスクパターンを構成するパターン要素（各図形）の面積占有率を評価することも必要となってきた。

【0007】ところが、従来の設計規則検査では、そのような面積占有率の検査は行われておらず、また、設計規則検査のプログラムには、面積占有率を算出する機能を備えていなかった。僅かに、一図形の面積をAREAコマンドにより算出する機能のみを備えるものであった。

【0008】したがって、このような状況下では、マスクパターンの特定の領域における面積占有率の計算は、マスクパターンの各パターン要素ごとに面積を算出し、これを合算する計算を人手により行うような手段を採用せざるを得ない。しかしながらこのような手段によれば、パターン要素の数が膨大となる高集積な回路の設計

においては、マスクパターンの全領域において面積占有率の計算を行うことは現実的に不可能となり、僅かに特定の一部分領域でのみ実行できるに過ぎず、このような一部分領域のみの評価では設計者が主観的に問題と考える一部分領域のみの評価に止まり、とうてい客観的な評価を行うことはできない。

【0009】また、前記状況下で面積占有率を一定値以下に担保する方法として、自動レイアウトの際に特定のルールを導入し、面積占有率が一定以上の値になり得ないような自動レイアウトにするという手段を採用することもできる。たとえば、配線をレイアウトする際に、各配線パターンが配置される位置を特定の格子に固定し、この格子のピッチ（格子間隔）と配線の幅を固定することにより、配線の最大面積占有率を決定することが可能となり、逆に要求される面積占有率がこの配線の最大面積占有率を越えないように前記ピッチおよび配線幅を決定することができる。しかしながら、このような手段では、レイアウト設計の自由度を制限し、より自由な設計あるいはより省面積の設計を行うことの妨げとなり、また、上記手段では実際の面積占有率の値を知ることができない。

【0010】本発明の目的は、マスクパターンの面積占有率を簡便にかつ正確に知ることができる技術を提供することにある。

【0011】本発明の他の目的は、面積占有率をマスクパターンの特定の領域ごとに知ることができる技術を提供することにある。

【0012】本発明のさらに他の目的は、特定領域ごとの面積占有率をレイアウト設計にフィードバックし、エッチばらつき、平坦性等の製造工程における問題を抑制することができるマスクの設計技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】（1）本発明の半導体集積回路装置の設計方法は、複数のパターン要素からなり、集積回路を構成する部材の加工に用いるマスクのパターンを生成するマスクパターン生成工程と、マスクパターンが、設計規則を満足するか否かをコンピュータを用いて検査する設計規則検査工程とを有する半導体集積回路装置の設計方法であって、設計規則検査工程が、マスクパターンの特定の領域における複数のパターン要素の面積占有率を単一のジョブで計算する面積占有率計算の手順を備えたものである。

【0016】このような半導体集積回路装置の設計方法

によれば、設計規則検査工程が、マスクパターンの特定の領域における複数のパターン要素の面積占有率を単一のジョブで計算する面積占有率計算の手順を備えるため、パターン要素の面積占有率の計算を簡便に行うことができ、また、その計算結果により、製造工程から要求される最大面積占有率の条件を満足しているか否かの判断を容易にかつ正確に行うことができる。また、面積占有率の計算を容易に行うことができるため、その計算結果をレイアウト設計工程にフィードバックすることができ、その結果、製造工程におけるエッチばらつきあるいは平坦性等の問題の発生が抑制されたマスクを設計することができる。

【0017】(2) 本発明の半導体集積回路装置の設計方法は、前記(1)記載の半導体集積回路装置の設計方法であって、面積占有率計算の手順が、マスクパターンの全領域において単一または複数の枠領域に分割された枠パターンとマスクパターンとのAND演算を実行し、枠取りマスクパターンを生成する第1のステップと、枠領域ごとに配置され、パターン要素の最小幅よりも小さなピッチを有する格子パターンまたはストライプパターンと枠取りマスクパターンとのOR演算を実行し、枠領域ごとに面積計算パターンを生成する第2のステップと、面積計算パターンにAREA演算を実行し、枠領域ごとにパターン要素の占有面積を算出する第3のステップとを備えたものである。

【0018】このような半導体装置の設計方法によれば、面積占有率計算の手順が、マスクパターンの全領域において単一または複数の枠領域に分割された枠パターンとマスクパターンとのAND演算を実行し、枠取りマスクパターンを生成する第1のステップを備えているため、マスクパターンを複数の枠領域に分割することができる。すなわち、マスクパターン内の枠領域ごとに面積占有率を計算することができる。このため、特定の枠領域の面積占有率が高い場合には、その領域のみにダミーパターン等を配置して再度レイアウト設計を行うことができる。なお、枠領域が単一である場合にはマスクパターン全域の面積占有率が計算されることとなる。

【0019】また、枠領域ごとに配置され、パターン要素の最小幅よりも小さなピッチを有する格子パターンまたはストライプパターンと枠取りマスクパターンとのOR演算を実行し、枠領域ごとに面積計算パターンを生成する第2のステップを備えているため、枠領域内のパターン要素を格子パターンまたはストライプパターンにより一図形化された面積計算パターンとすることができ、すなわち、格子パターンまたはストライプパターンは、パターン要素の最小幅よりも小さなピッチを有するため、独立した閉図形であるパターン要素は必ず格子パターンまたはストライプパターンと重なることとなり、両パターンのOR演算の結果である面積計算パターン

は、必ず一図形となっている。なお、ストライプパターンの場合には、ストライプパターンを結合するラインを少なくとも1本、たとえばストライプの方向に垂直に配置する必要がある。

【0020】さらに、面積計算パターンにAREA演算を実行し、枠領域ごとにパターン要素の占有面積を算出する第3のステップを備えているため、枠領域内のパターン要素の合算面積を一度に算出することができる。これにより、パターン要素ごとにAREAコマンドを実行してパターン要素ごとに面積を求め、これを人手により合算する必要がなく、簡便にかつ正確に枠領域ごとの面積占有率を計算することができる。なお、面積占有率は、一図形化された面積計算パターンの面積を枠領域の面積で除した値であることはいうまでもない。

【0021】なお、枠領域の間隔ならびに格子パターンおよびストライプパターンの幅は、最小レイアウト寸法とすることができる。

【0022】すなわち、マスクパターンを分割する枠領域は、枠領域ごとに別図形であることが認識できればよく、また、格子パターンおよびストライプパターンは、図形として認識できる幅であればよい。したがって、枠領域間の幅は、パターン要素が2つの枠領域にまたがっている場合には両枠領域に分割されるため、その幅に相当する面積が算入されない。また、パターン要素が配置されていなかった領域の格子パターンおよびストライプパターンは一図形化された面積計算パターンに含まれる。そのため、枠領域間の幅および格子パターンおよびストライプパターンの幅は面積計算の誤差となるため、その幅は小さいほど好ましい。よって、各幅を最小レイアウト寸法とすることにより、図形として認識しうる値でかつ最小の値とするものである。

【0023】(3) 本発明の半導体集積回路装置の設計方法は、前記(1)または(2)記載の半導体集積回路装置の設計方法であって、特定の領域または枠領域における面積占有率が、一定の面積占有率を超過する場合には、特定の領域または枠領域にダミーパターンを配置し、ダミーパターンをパターン要素に加えて新たにマスクパターンを生成し、再度面積占有率の計算を行うものである。

【0024】このような半導体集積回路装置の設計方法によれば、特定の領域または枠領域における面積占有率が、一定の面積占有率を超過する場合には、特定の領域または枠領域にダミーパターンを配置し、ダミーパターンをパターン要素に加えて新たにマスクパターンを生成し、再度面積占有率の計算を行うため、面積占有率の計算結果により製造工程においてエッチばらつきあるいは平坦性の欠如等問題を生ずる可能性のあるマスクの設計を事前に検知し、これをダミーパターンの配置により修正してエッチばらつきあるいは平坦性の欠如等を抑制したマスクの設計を行うことができる。なお、ダミーパタ

ーンは、面積占有率の計算には算入されるが、実際にはマスク化されないものである。

【0025】(4) 本発明の半導体集積回路装置の設計装置は、複数のパターン要素からなるマスクパターンが設計規則を満足するか否かをコンピュータを用いて検証することができる半導体集積回路装置の設計装置であって、マスクパターンのデータを記憶する第1記憶領域と、マスクパターンの全領域を分割する枠パターンのデータを記憶する第2記憶領域と、枠パターンに相当する領域内のパターン要素を結合して一図形とする格子パターンまたはストライプパターンを記憶する第3記憶領域と、第1、第2または第3記憶領域を含むデータ記憶領域から複数のデータを読み出し、複数のデータ間に図形演算を施した後、データ記憶領域に演算結果を記憶することができる演算装置とを有し、第1記憶領域に記憶されたマスクパターンのデータと第2記憶領域に記憶された枠パターンのデータを用いてAND演算を実行し、枠取りマスクパターンを生成する第1の手順、枠取りマスクパターンのデータと第3記憶領域に記憶された格子パターンまたはストライプパターンのデータを用いてOR演算を実行し、枠パターンに相当する領域内において一図形化された面積計算パターンを生成する第2の手順、面積計算パターンのデータを用いてAREA演算を実行し、枠パターンに相当する領域内のパターン要素の面積を算出する第3の手順を有する面積計算手順を備えたものである。

【0026】このような半導体集積回路装置の設計装置によれば、前記(1)～(3)に記載した半導体集積回路装置の設計方法を実施することができる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0028】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の設計方法の一例を示したフローチャートである。以下、図1のフローチャートにしたがって本実施の形態1の設計方法を説明する。

【0029】まず、半導体集積回路装置に要求される性能あるいは特性等の仕様から半導体集積回路装置の機能設計を行い、機能設計データに基づいて半導体集積回路装置の論理設計が行われる(ステップ101)。論理設計により、半導体集積回路装置の要求機能を満足した論理接続データが得られる。

【0030】次に、論理接続データに基づいてレイアウトパターンが生成される(ステップ102)。レイアウトパターンの生成は、論理接続データを入力とするコンピュータによる自動生成を利用することができる。なお、レイアウトパターンの生成には、製造工程の工程能力を考慮して設計されたデバイス設計結果およびデバイ

ス性能に基づき設計される回路設計の結果である基本論理回路あるいは論理標準セルが参照される。

【0031】レイアウトパターンは、製造工程で用いられるマスク層ごとに作成されるものであり、図2にその一例を示す。図2は実施の形態1の設計方法で生成されるマスクパターンの一例を示す平面図である。図2のマスクパターンは、配線パターンの一例を示したものである。マスク領域1はマスク全体すなわち1つの半導体チップに相当する領域であり、パターン要素2は、配線に相当する領域である。

【0032】次に、パターン要素2について、従来の設計規則検査でも行われていたインターナルチェック、エクスターナルチェック、エンクロージャチェック等の幾何学的な配置に関する検査が行われる(ステップ103)。この段階で不良が検出された場合には、不良の発生箇所の修正、あるいは発生原因の対処の後再度レイアウトパターンの生成を行う等の処置がとられる。

【0033】次に、マスク領域1にウィンドウ枠を適用する(ステップ104)。図3は、実施の形態1のマスクパターンにウィンドウ枠を適用する場合のアレイ配置用枠3の例を示す平面図である。アレイ配置用枠3は、マスク領域1をメッシュ分割するものであり、後に説明するように、枠領域ごとに面積占有率の計算が行われる。

【0034】図4は、図3の一部を拡大した平面図である。アレイ配置用枠3は任意に適用するものであるため、配線に相当するパターン要素2は、図4に示すようにアレイ配置用枠3内に含まれるものあるいは分割されるものとなる。

【0035】図5は、図4のアレイ配置用枠3に枠パターン4を適用した例を示す平面図である。枠パターン4は、アレイ配置用枠3ごとに配置され、隣接する枠パターン4との間には微小なスペース5が設けられている。すなわち、枠パターン4はアレイ配置用枠3の全領域に配置されるわけではなく、アレイ配置用枠3よりも小さな領域となるように配置される。

【0036】ウィンドウ枠の適用に際しては、枠パターン4とパターン要素2とのAND演算が実行される。図6は、AND演算が実行された後のパターン要素について示した平面図である。AND演算の実行によりパターン要素2はアレイ配置用枠3の枠領域ごとに分割される。なお、分割されたパターン要素2の面積には、スペース5に相当する部分の面積が含まれないため、面積計算の際には誤差の要因となる。したがって、スペース5はできるだけ小さいことが望ましいが、図形演算において認識できない距離ではAND演算の結果パターン要素2を分割することができない。そこで、スペース5の距離は、図形演算の認識限度である最小レイアウト寸法とすることが望ましい。一般に、配線幅が $\mu\text{m}$ オーダーであるのに対し、最小レイアウト寸法はその1000分の

1程度の値であることから、前記誤差はほぼ無視できる範囲とすることができる。

【0037】次に、分割されたパターン要素2に格子パターン6を適用する(ステップ105)。図7は、実施の形態1の格子パターンの一例を示した平面図である。格子パターン6は、アレイ配置用枠3の枠領域ごとに配置されており、隣接する枠領域との間にはスペース5が設けられている。また、格子パターン6は、格子状の細線で構成され、格子間隔7はパターン要素2の幅よりも小さく設定されている。このように格子間隔7をパターン要素2の幅よりも小さく設定することにより、格子パターン6とパターン要素2は必ず重なることとなる。また、格子パターン6を構成する細線の幅8は、スペース5と同様に最小レイアウト寸法とすることが好ましい。これにより面積計算の誤差を無視することができる程度に小さくすることができる。なお、このような最小レイアウト寸法化は、サイジングを行うことにより実行可能である。

【0038】格子パターン6を適用の際には、パターン要素2と格子パターン6とのOR演算が実行される。図8は、OR演算により生成される面積計算パターンを示した平面図である。面積計算パターン9は、アレイ配置用枠3の枠領域ごとに分割された図形であり、OR演算の結果、パターン要素2と格子パターン6とが合成された一図形となっている。格子パターン6の面積は、前記のとおりその線幅が微小であるため、面積計算パターン9の面積のうち大部分はパターン要素2の面積となっている。

【0039】次に、面積計算を行う(ステップ106)。面積計算は、面積計算パターン9にAREA演算を実行することにより行う。このように面積計算パターン9にAREA演算を実行することによりアレイ配置用枠3の枠領域内のパターン要素2の面積を一度で求めることができる。すなわち、AREA演算は、一図形に対して実行することができるコマンドであり、従来複数のパターン要素2が含まれている場合には一度でその合算面積を求めることができなかったが、面積計算パターン9は枠領域内のパターン要素2の面積に相当する面積を有する一図形であるため、一度でその面積を求めることができる。なお、枠領域におけるパターン要素2の面積占有率は、前記AREA演算で求めた値をアレイ配置用枠3の枠領域面積で除した値として求めることができる。

【0040】次に、面積占有率が所定の値以上であるかを判定する(ステップ107)。この判定の結果が全てのアレイ配置用枠3において所定の値以下、すなわち製造工程においてエッチばらつきや平坦性の阻害を発生するおそれがない場合には、設計規則検査を終了する(ステップ108)。判定の結果があるアレイ配置用枠3において所定の値以上、すなわち製造工程においてエ

ッチばらつきや平坦性の阻害を発生するおそれがある場合には、アレイ配置用枠3内にダミーパターンを設定し(ステップ109)、ステップ102のレイアウトパターンの生成ステップにフィードバックする。

【0041】図9は、アレイ配置用枠3にダミーパターン10を配置した例を示す平面図である。ダミーパターン10は、マスクパターンとしてマスク化されないが、レイアウトパターンの生成の際には、強制的にパターン要素2の一つとして配置されるものであり、実際のパターン要素2はダミーパターン10の領域を避けて配置されることとなる。このようにダミーパターン10を配置することにより、この領域でのパターン要素2の密度を低減し、当該領域での面積占有率を低減することができる。また、ダミーパターン10を配置して再度ステップ102～109の設計工程を経ることにより、最終的には全てのアレイ配置用枠3において所定の面積占有率以下の面積占有率となるマスクパターンを設計することができる。このようなパターンのマスクを用いた製造工程においてはエッチングのばらつきや平坦性の阻害を抑制して半導体集積回路装置の性能向上および信頼性の向上に寄与することが可能となる。

【0042】なお、このような設計方法は従来の設計手法をほとんど変更することなく実行することが可能である。

【0043】また、本実施の形態1では、格子パターン6を用いた例を示したが、図10に示すようなストライプパターン11a～11cであってもよい。図10は、実施の形態1に用いる一図形化用の他の例を示した平面図であり、(a)は横ストライプパターンの例、(b)は縦ストライプパターンの例、(c)は斜めストライプパターンの例を示す。この場合、各ストライプパターンの間隔は、格子パターン6の場合と同様にパターン要素2の幅以下であることが必要であり、また、各ストライプパターンを結ぶ直線パターン12が必要である。

【0044】(実施の形態2)図11は、本発明の他の実施の形態である半導体集積回路装置の設計装置を示した概念図であり、(a)は大型計算機を用いた場合、(b)はワークステーションを用いた場合の例を示す。

【0045】図11(a)に示す設計装置は、外部記憶装置13a、13bを有する大型計算機14と、外部記憶装置15を有するワークステーション16とがネットワーク17により接続されているものであり、ワークステーション16にはディスプレイ18およびキーボード19が接続されている。キーボード19には図示されていないがマウス装置が接続されてもよい。

【0046】このような設計装置によれば、実施の形態1で説明した設計方法を実現することができる。すなわち、外部記憶装置13a、13bあるいは外部記憶装置15には設計規則検査の対象となるレイアウトパターンのデータを記憶することができ、また、枠パターン4あ



るいは格子パターン6等のデータを記憶することができる。さらに、演算結果のデータも記憶することができる。

【0047】また、大型計算機14では、外部記憶装置13a、13bに記憶された図形演算プログラムに従って図形演算を実行することができ、その演算結果をネットワーク17を介してワークステーション16の外部記憶装置15に送信することができる。さらに大型計算機14の外部記憶装置13a、13bには、実施の形態1で説明した設計方法のプログラムを記憶し、大型計算機14ではそのプログラムにしたがって実施の形態1で説明した設計方法を実行することができる。

【0048】さらに、ワークステーション16では、図形演算の結果を外部記憶装置15から読み出し、ディスプレイ18にGUI(Graphical User Interface)を用いて表示することができる。演算結果は、キーボード19等を用いて必要に応じて修正等を加えることができる。

【0049】図11(b)に示す設計装置は、(a)に示したワークステーション16を複数台有するものであり、大型計算機の機能を複数のワークステーション16により代替するものである。近年のワークステーションの性能向上により、大型計算機の機能を1台のワークステーションにより集中的にあるいは複数台のワークステーションにより分散化して実行可能となったことに対応したものである。このようにワークステーション16を用いることにより高価な大型計算機を用いず、設計の効率化を図ることができる。

【0050】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0051】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0052】(1)マスクパターンの面積占有率を簡便にかつ正確に知ることができる。

【0053】(2)面積占有率をマスクパターンの特定の領域ごとに知ることができる。

【0054】(3)特定領域ごとの面積占有率をレイアウト設計にフィードバックし、エッチばらつき、平坦性等の製造工程における問題を抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装

置の設計方法の一例を示したフローチャートである。

【図2】実施の形態1の設計方法で生成されるマスクパターンの一例を示す平面図である。

【図3】実施の形態1のマスクパターンにウィンドウ枠を適用する場合のアレイ配置用枠の例を示す平面図である。

【図4】図3の一部を拡大した平面図である。

【図5】図4のアレイ配置用枠に枠パターンを適用した例を示す平面図である。

【図6】AND演算が実行された後のパターン要素について示した平面図である。

【図7】実施の形態1の格子パターンの一例を示した平面図である。

【図8】OR演算により生成される面積計算パターンを示した平面図である。

【図9】アレイ配置用枠にダミーパターンを配置した例を示す平面図である。

【図10】実施の形態1に用いる一図形化用パターンの他の例を示した平面図であり、(a)は横ストライブパターンの例、(b)は縦ストライブパターンの例、(c)は斜めストライブパターンの例を示す。

【図11】本発明の他の実施の形態である半導体集積回路装置の設計装置を示した概念図であり、(a)は大型計算機を用いた場合、(b)はワークステーションを用いた場合の例を示す。

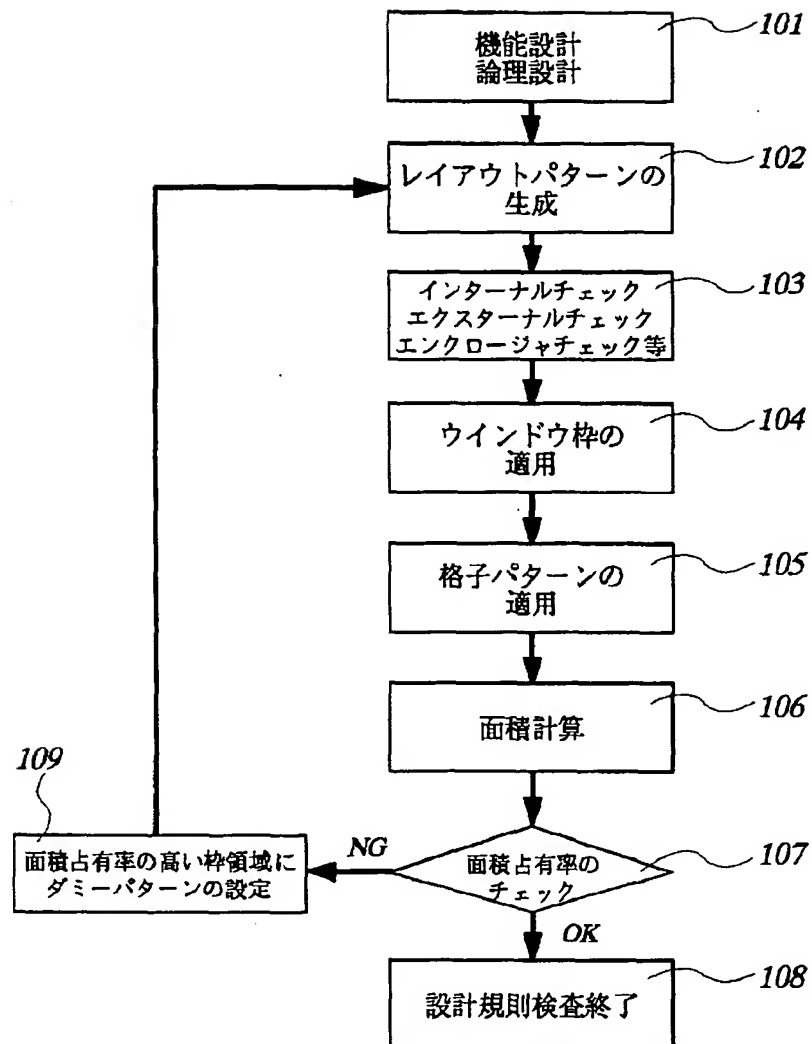
【符号の説明】

- 1 マスク領域
- 2 パターン要素
- 3 アレイ配置用枠
- 4 枠パターン
- 5 スペース
- 6 格子パターン
- 7 格子間隔
- 8 幅
- 9 面積計算パターン
- 10 ダミーパターン
- 11a~11c ストライブパターン
- 12 直線パターン
- 13a、13b 外部記憶装置
- 14 大型計算機
- 15 外部記憶装置
- 16 ワークステーション
- 17 ネットワーク
- 18 ディスプレイ
- 19 キーボード



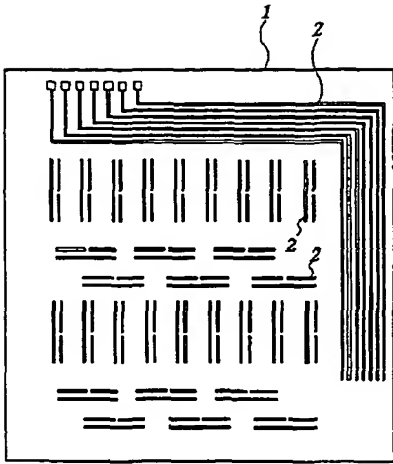
【図1】

図 1



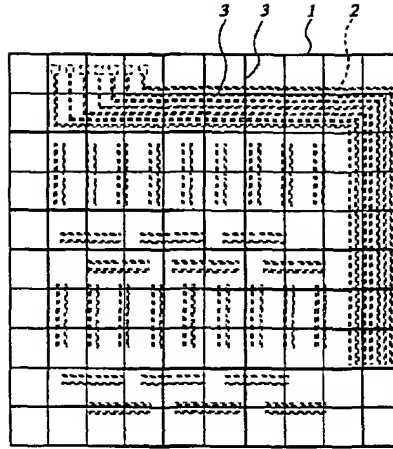
【図2】

図 2



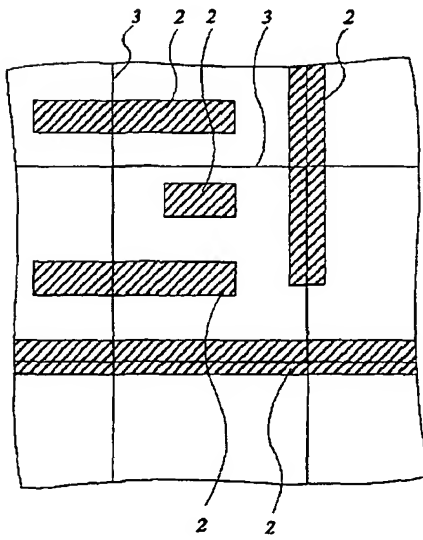
【図3】

図 3



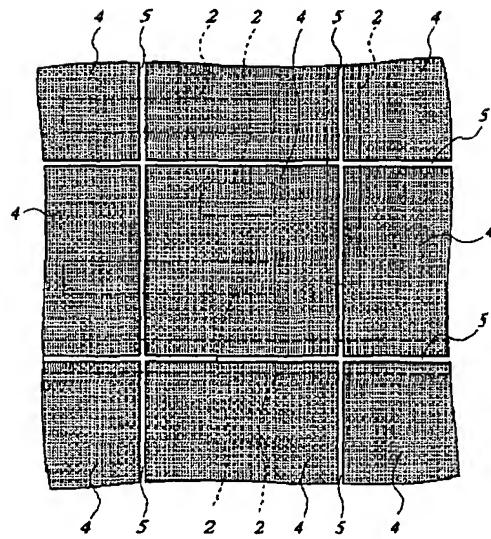
【図4】

図 4



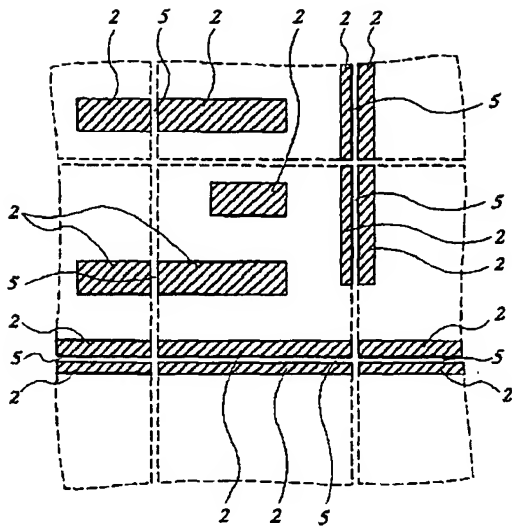
【図5】

図 5



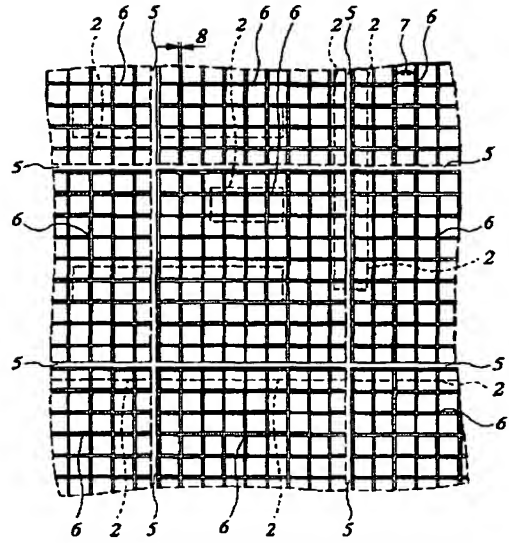
【図6】

図 6



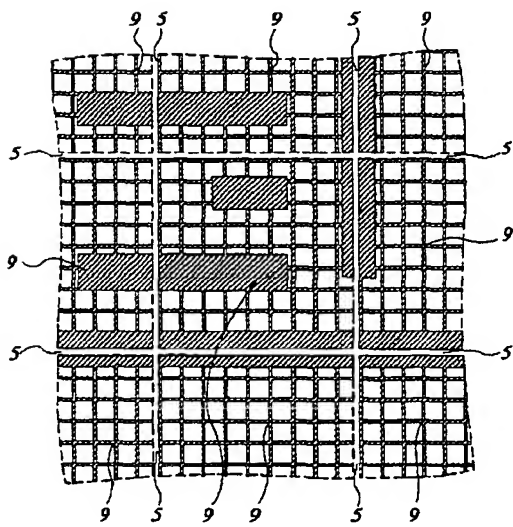
【図7】

図 7



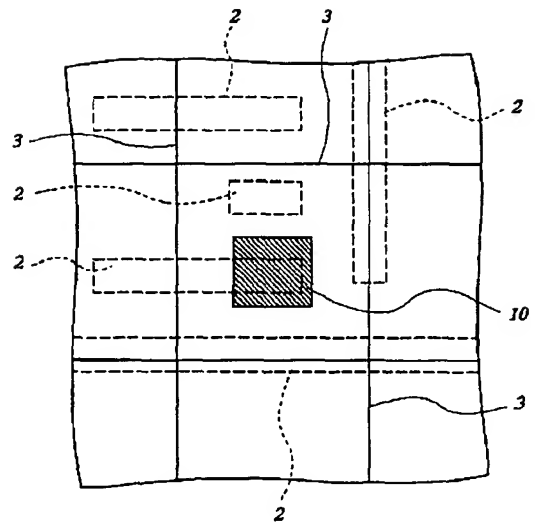
【図8】

図 8



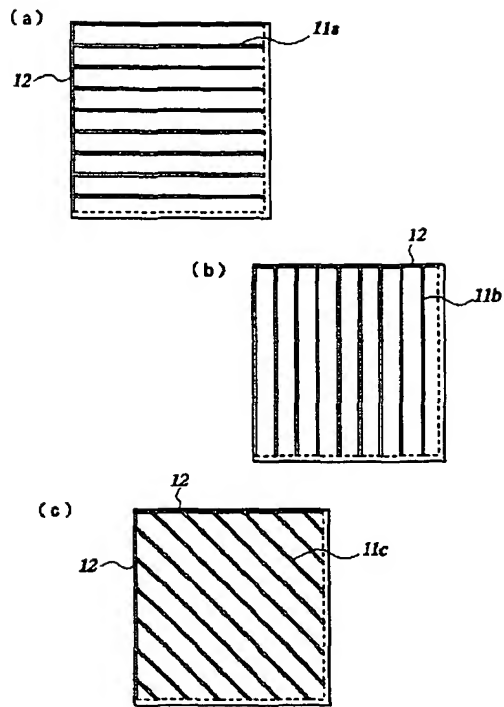
【図9】

図 9



【図10】

図 10



【図11】

図 11

